

# 상태 중요도에 따른 선택적 결함 감내 유한 상태 기계

최소연, 박지운, 신예린, 신화수, 김현규, 유효영  
충남대학교 전자공학과

## Selective Fault Tolerant Finite State Machine based on State Importance

Soyeon Choi, Jiwoon Park, Yerin Shin, Hwasoo Shin, Hyeonkyu Kim and Hoyoung Yoo  
Chungnam National University

**Abstract** - The finite state machine (FSM) determines a finite number of states for the operation of the digital circuit and controls the operation of the entire system. Therefore, if the errors occur in the finite state machine, it causes serious problem of the system. The fault tolerant state machine is proposed to deal with the errors in the FSM. In this paper, we propose a selective fault-tolerant finite state machine (SFT-FSM) that increases fault-tolerance by applying the fault-tolerant circuit selectively according to the importance of state. The proposed selective fault-tolerant finite state machine (SFT-FSM) is 39% smaller when the overlap factor  $N$  is 9, compared to the FSM with NMR technique.

### 1. 서론

유한 상태 기계 (FSM; Finite State Machine)는 디지털 회로를 동작시키기 위하여 유한한 개수의 상태를 정의하고 상태 사이의 전이를 결정함으로써 기기의 동작을 제어하기 위하여 사용된다 [1]. 전체 회로 시스템의 동작을 제어하므로 오류가 발생했을 때 전체 시스템에 치명적인 문제를 일으킬 수 있다. 예를 들어, 방사선 등의 어쩔 수 없는 요인에 의해 유한상태 기계에서 오류가 발생하여 상태가 바뀌는 경우 회로의 동작이 설계자의 의도와 다르게 동작하는 SEU (Single Event Upset) 가 발생한다 [1, 2].

특히, 최근 활발하게 연구되고 있는 차량 간 통신을 위한 시스템이나 미사일 등의 군사용 장비를 위한 시스템에 적용되는 회로에서 유한 상태 기계 (FSM)의 오작동은 심각한 문제를 일으킨다 [1]. 따라서 방사능과 같은 피할 수 없는 요인에 의해 발생하는 오작동을 방지하기 위하여 유한 상태 기계 (FSM)에 결함 감내성을 부여한 결함 감내 유한 상태 기계 (FTFSM; Fault tolerant FSM)가 개발되었다 [3-8]. 결함 감내 유한 상태 기계 (FTFSM)는 크게 오류 정정 부호를 사용하여 구현하거나 하드웨어 혹은 시간을 중복하여 구현하는 기법으로 나누어진다 [3]. 오류 정정 부호를 적용한 결함 감내 유한 상태 기계 (FTFSM)는 단일 오류 정정 부호 (SEC) 등을 적용하여 구현되었으며 [4-6], 하드웨어를 중복하는 결함 감내 유한 상태 기계 (FTFSM)는 삼중 중복 (TMR) [8] 이 있다.

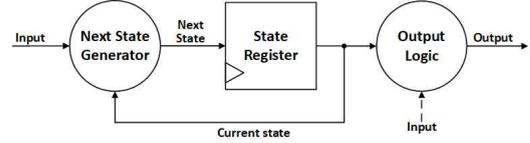
본 논문에서는 시간을 중복으로 사용하여 결함 감내 시스템을 기반으로 상태의 중요도에 따라서 선택적 결함 감내 기술을 적용하는 유한 상태 기계를 제안한다. 제안하는 선택적 결함 감내 유한 상태 기계 (S-FTFSM; Selective FTFSM)는 현재 상태의 중요도를 판별한 후, 중요한 상태에서는 중복 인수  $N$ 만큼 결함 감내 회로를 반복 동작시켜 중요한 상태의 신뢰도를 향상시킨다.

### 2. 본론

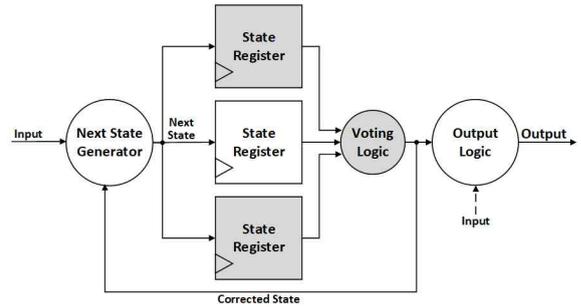
#### 2.1 $N$ 중 중복 유한 상태 기계 (NMR-FSM) 동작

$N$ 중 중복 기술 (NMR)은 회로에서 오류에 민감한 부분을  $N$  회화하여 병렬로 동작시킨 후, 각 회로의 결과를 바탕으로 한 다수결을 통하여 최종 출력을 결정한다 [9]. 그림 2는 순차 회로에서 오류가 발생한다고 가정했을 때, 상태 레지스터에 삼중 중복 (TMR)을 적용한 유한 상태 기계 (FSM)이다 [8]. 상태 레지스터를 중복 인수  $N$ 만큼 복제하여  $N$ 중 중복 (NMR) 회로를 구현한다 [9].

$N$ 중 중복 기술 (NMR) [9]은  $n$ 개의 오류까지 정정할 수 있으며, 이때  $n$ 은  $(N-1)/2$ 이다.  $N$ 중 중복 유한상태 기계 (NMR-FSM)에서 오류가 발생할 확률  $P_{NMR}(e)$ 는 식 (1)과 같으며, 이때  $p$ 는 하나의 플립플롭에서 오류가 발생할 확률이며,  $e$ 는 발생한 오류의 수,  $s$ 는 상태 레지스터의 비트 수이다.



〈그림 1〉 일반적인 유한 상태 기계 (FSM) 구성도



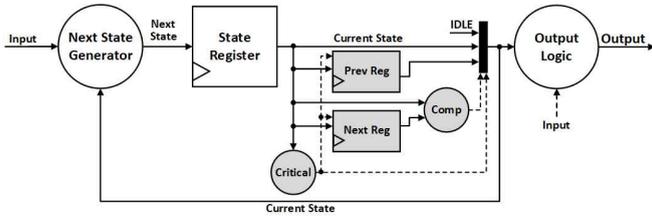
〈그림 2〉 중복 인수  $N$ 이 3일 때  $N$ 중 중복 유한 상태 기계 (NMR-FSM)의 구성도

$$P_{NMR}(e) = 1 - \left( \sum_{e=0}^n {}_N C_e p^e (1-p)^{(N-e)} \right)^s, \quad (1)$$

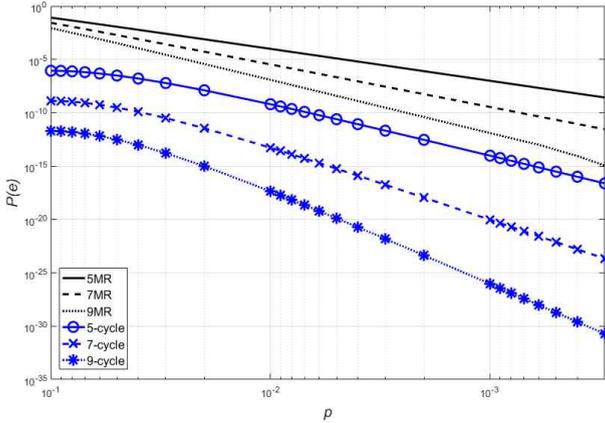
#### 2.2 선택적 결함 감내 유한 상태 기계 (S-FTFSM) 동작

전체 시스템을 제어하기 위한 유한한 개수의 상태는 각 상태의 동작에 따라 전체 시스템에서의 중요도가 다르다. 그러므로 상태의 중요도에 따라서 다른 오류 감지율을 갖는 결함 감내 기법을 적용하면 회로적 낭비를 최소화하면서 전체 시스템의 신뢰도를 강화할 수 있다. 제안하는 선택적 결함 감내 유한 상태 기계 (S-FTFSM)는 각 상태의 중요도에 따라서 결함 감내 회로를 중복 인수  $N$ 만큼 반복하여 전체 회로의 신뢰도를 강화한다.

선택적 결함 감내 기술 (S-FTFSM)을 적용한 유한 상태 기계의 회로 구조는 그림 3에 나타나 있다. 회로의 동작을 살펴보면, 먼저 유한 상태 기계에 입력이 들어오면 현재 상태와 입력을 고려하여 다음 상태 생성기 (Next state generator)를 통해 다음 상태가 결정된다. 다음 상태는 상태 레지스터에 저장되었다가 다음 사이클에 현재 상태로 출력된다. 출력된 현재 상태를 중요 상태인지 아닌지 판별하여 결함 감내 회로의 동작 여부를 결정한다. 만약 중요 상태가 아니라면 현재 상태는 바로 다음 상태 생성기로 입력되고, 현재 상태는 이전 상태 레지스터 (Prev\_Reg)에 저장된다. 만약 출력된 상태가 중요 상태라면, 중복 인수  $N$ 만큼 선택적 결함 감내 회로를 반복한다. 첫 번째 반복에서는 이후의 반복에서 상태 레지스터의 출력과 비교할 대상인 현재 상태를 다음 상태 레지스터 (Next\_Reg)에 저장한다. 다음 상태 함수에 입력되는 현재 상태로는 이전 상태 레지스터 (Prev\_Reg)에 저장된 값이 들어간다. 두 번째부터  $N-1$ 의 반복까지 상태 레지스터에서 출력된 현재 상태와 다음 상태 레지스터 (Next\_Reg)에 저장된 값을 비교한다. 두 상태가 일치하는 경우, 이전 상태 레지스터 (Prev\_Reg)에 저장된 값을 출력하고, 그렇지 않으면 초기 상태인 IDLE 상태를 출력하여 회로를 초기화시킨다.  $N$ 번째 반복에서는 상태 레지스터에서 출력된 현재 상태와 다음 상태 레지스터 (Next\_Reg)에 저장된 값을 비교한다. 두 값이 같으면 현재



〈그림 3〉 선택적 결함 감내 유한 상태 기계 (SFT-FSM) 구성도



〈그림 4〉  $N$ 중 중복 유한 상태 기계 (NMR-FSM) 와 선택적 결함 감내 유한 상태 기계 (S-FTFSM)의 오류 발생 확률

상태를 출력하고, 그렇지 않다면 IDLE 상태를 출력하여 회로를 초기화시킨다.

선택적 결함 감내 유한 상태 기계가 최종 출력으로 잘못된 상태가 출력되어 오류가 발생할 확률  $P_{S-FTFSM}(e)$ 는 식 (2)와 같으며, 이때  $p$ 는 하나의 플립플롭에서 오류가 발생할 확률이며,  $e$ 는 발생한 오류의 수,  $s$ 는 상태 레지스터의 비트 수,  $N$ 은 반복하는 횟수로  $N$ 이 커질수록 더욱 오류 발생 확률이 낮아진다.

$$P_{S-FTFSM}(e) = \sum_{e=1}^s s C_e (p^N)^e (1-p)^{N(s-e)}. \quad (2)$$

### 3. 실험 결과 및 분석

제안하는 선택적 결함 감내 유한 상태 기계 (S-FTFSM)와  $N$ 중 중복 유한 상태 기계 (NMR-FSM)의 신뢰도를 비교하기 위하여 오류 발생 확률을 신뢰도에 따라 그림 4에 나타내었다. 하나의 상태는 10-bit으로 구성되었으며, 중복 인수  $N$ 이 5, 7, 9일 경우로 가정하였다. 그림 4를 보면, 동일 중복 인수에 대해서 제안하는 선택적 결함 감내 유한 상태 기계 (S-FTFSM)가  $N$ 중 중복 유한 상태 기계 (NMR-FSM)보다 우수한 오류 감지 성능을 갖는 것을 알 수 있다. 또한, 중복 인수  $N$ 의 크기가 크고 오류 발생 확률이 낮을수록 선택적 결함 감내 유한 상태 기계의 오류 발생 확률이 현저히 낮아진다.

$N$ 중 중복 유한 상태 기계 (NMR-FSM)와 선택적 결함 감내 유한 상태 기계 (S-FTFSM)의 면적과 지연시간을 비교하기 위하여 하나의 상태를 10-bit, 최대 표현 가능한 상태의 수를 1024로 가정하였고, 중요 상태의 수를 전체 상태의 10%인 102개로 가정하였다. 표 1은 CMOS 180nm 공정을 이용하여 동작 주파수 200MHz로  $N$ 중 중복 유한 상태 기계 (NMR-FSM)와 제안하는 선택적 결함 감내 유한 상태 기계 (S-FTFSM)를 합성한 결과와 지연시간을 나타낸다. 제안하는 선택적 결함 감내 유한 상태 기계 (S-FTFSM)는 중요 상태에서만  $N$  사이클의 지연시간이 필요하고 중요하지 않은 상태에서는  $N$ 중 중복 유한 상태 기계 (NMR-FSM)와 동일한 1 사이클의 지연시간이 필요하다. 선택적 결함 감내 유한 상태 기계 (S-FTFSM)의 면적과 지연시간의 곱이 중복 인자가 5, 7, 9일 때  $N$ 중 중복 유한 상태 기계 (NMR-FSM)보다 각각 6%, 15%, 39%로 만큼 작은 것을 알 수 있다. 따라서 중복 인자가 큰 경우 제안하는 선택적 결함 감내 유

〈표 1〉  $N$ 중 중복 유한 상태 기계 (NMR-FSM) 와 선택적 결함 감내 유한 상태 기계 (S-FTFSM)의 합성 결과

$N$	FTFSM	Gate Count	Latency	Area × Time
5	NMR	739.7	1024	756,736
	S-FTFSM	501.1	1432	717,575
7	NMR	970.6	1024	993,280
	S-FTFSM	516.7	1636	845,321
9	NMR	1,468.4	1024	1,503,641
	S-FTFSM	506.2	1840	931,408

한 상태 기계 (S-FTFSM)를 사용하는 것이  $N$ 중 중복 유한 상태 기계 (NMR-FSM)를 사용하는 것보다 효율적이다.

### 3. 결 론

본 논문에서는 높은 안정성이 요구되는 시스템에 적용할 수 있는 선택적 결함 감내 유한 상태 기계 (S-FTFSM)를 제안하였다. 제안하는 결함 감내 유한 상태 기계 (S-FTFSM)는  $N$ 중 중복 결함 감내 유한 상태 기계 (NMR-FSM)보다 높은 신뢰도를 갖는다. 또한, 중복 인수  $N$ 이 커질수록  $N$ 중 중복 유한 상태 기계 (NMR-FSM)보다 면적과 지연시간 측면에서 유리하므로 높은 신뢰도를 요구하는 시스템의 유한 상태 기계에 적용하여 유한 상태 기계의 오류를 줄여 전체 시스템의 신뢰도와 안정성을 높일 수 있다.

### ACKNOWLEDGMENTS

이 논문은 정부(과학기술정보통신부)의 재원으로 국가보안기술연구소의 지원 (2019-0424-01)을 받아 수행된 연구임. EDA 툴은 IDEC의 지원을 받음.

### [참 고 문 헌]

- [1] G. Burke and S. Taft, "Fault tolerant state machine," in Proceedings of the Military and Aerospace Programmable Logic Devices Workshop, Jet Propulsion Laboratory, Pasadena, CA, 2004.
- [2] M. Berg, "A Simplified Approach to Fault Tolerant Sate Machine Design for Single Event Upsets," Mentor Graphics Users' Group User2U ser Conference, 2004.
- [3] A. Avizienis, "Fault-Tolerant Systems," in IEEE Transactions on Computers, vol. C-25, no. 12, pp. 1304-1312, Dec. 1976.
- [4] S. Sooraj, M. Manasy and R. Bhakthavatchalu, "Fault tolerant FSM on FPGA using SEC-DED code algorithm," 2017 International Conference on Technological Advancements in Power and Energy (TAP Energy), Kollam, 2017, pp. 1-6
- [5] M. Li, J. Gu, J. Cao, F. Ran and Y. Shao, "Self-correcting FSM Architecture Implementation Based on Convolutional Code," 2006 8th International Conference on Solid-State and Integrated Circuit Technology Proceedings, Shanghai, 2006, pp. 2049-2051.
- [6] R. Rochet, R. Leveugle and G. Saucier, "Analysis and comparison of fault tolerant FSM architecture based on SEC codes," Proceedings of 1993 IEEE International Workshop on Defect and Fault Tolerance in VLSI Systems, Venice, Italy, 1993, pp. 9-16.
- [7] A. Tiwari and K. A. Tomko, "Enhanced reliability of finite-state machines in FPGA through efficient fault detection and correction," in IEEE Transactions on Reliability, vol. 54, no. 3, pp. 459-467, Sept. 2005.
- [8] L. Rui and K. Yan-jia, "A method of synchronous-feedback based state machine with triple modular redundancy," Proceedings of 2014 IEEE Chinese Guidance, Navigation and Control Conference, Yantai, 2014, pp. 136-139.
- [9] S. Radhakrishnan, T. Nirmalraj, S. Ashwin, V. Elamaram and R. K. Karm, "Fault Tolerant Carry Save Adders - A NMR Configuration Approach," 2018 International Conference on Control, Power, Communication and Computing Technologies (ICCPCT), Kannur, 2018, pp. 210-215.